

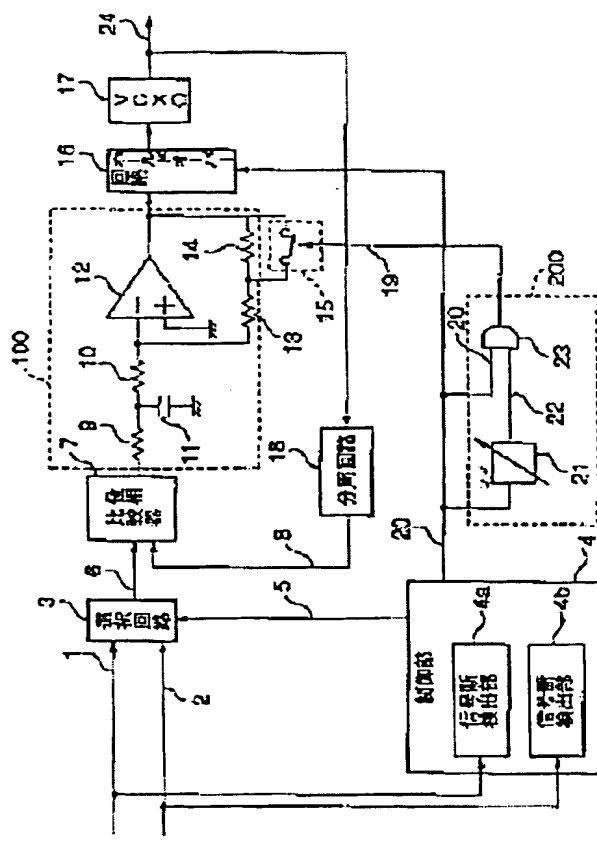
CLOCK CHANGEOVER DEVICE

Patent number: JP2000031952
 Publication date: 2000-01-28
 Inventor: TAKAMI MASAYUKI
 Applicant: TOSHIBA CORP
 Classification:
 - international: H04L7/02; H03L7/107; H04J3/00; H04J3/06
 - european:
 Application number: JP19990022370 19990129
 Priority number(s):

Abstract of JP2000031952

PROBLEM TO BE SOLVED: To provide a clock changeover device that can suppress a phase fluctuation amount with respect to a time interval without sacrificing a phase response characteristic.

SOLUTION: In the case of switching a clock, a hold-over circuit 16 first holds a clock output signal 24 just before the switching and switches a reference clock 6 into a new reference clock after that. The hold-over state is released and a re-synchronization process is entered after by short-circuiting an operational amplifier feedback resistor 14 in this state to decrease a loop gain of a loop filter 100. In the re-synchronization process, a delay section 200 is used to restore the loop gain of the loop filter 100 in a timing when a phase of the clock output signal is just close to a phase of the new reference clock.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-31952
(P2000-31952A)

(43) 公開日 平成12年1月28日 (2000.1.28)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|---------------------------|------|--------------|-------------------------|
| H 0 4 L 7/02 | | H 0 4 L 7/02 | Z |
| H 0 3 L 7/107 | | H 0 4 J 3/00 | U |
| H 0 4 J 3/00 | | 3/06 | Z |
| 3/06 | | H 0 3 L 7/10 | C |

審査請求 未請求 請求項の数11 O L (全 19 頁)

(21) 出願番号 特願平11-22370

(22) 出願日 平成11年1月29日 (1999.1.29)

(31) 優先権主張番号 特願平10-47257

(32) 優先日 平成10年2月27日 (1998.2.27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高見 昌之

東京都日野市旭が丘3丁目1番地の1 株

式会社東芝日野工場内

(74) 代理人 100058479

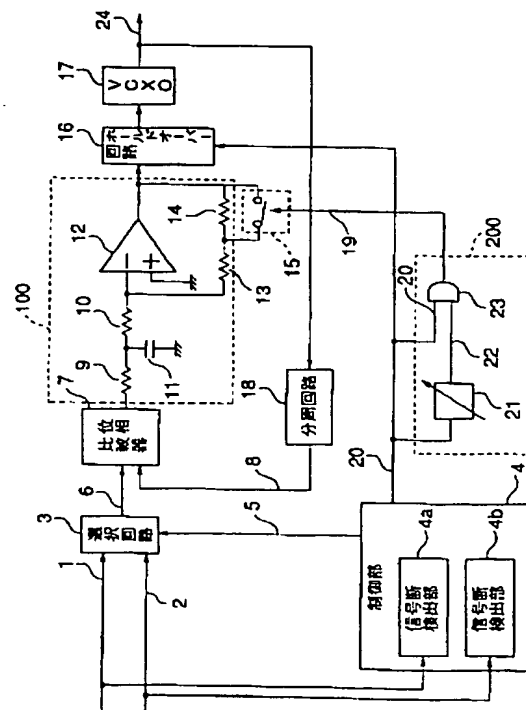
弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 クロック切替装置

(57) 【要約】

【課題】 位相応答特性を犠牲にすることなく、かつ時間間隔に対する位相変動量を抑制することを可能としたクロック切替装置を提供する。

【解決手段】 クロック切替時には、ホールドオーバー回路16によりまず切替直前のクロック出力信号24を保持し、その上で基準クロック6を新たな基準クロックに切替る。この状態から、オペアンプ帰還抵抗器14を短絡することでループフィルタ100のループ利得を低い状態にした上でホールドオーバー状態を解除して再同期過程に入る。再同期過程では、遅延部200により、クロック出力信号24の位相が新たな基準クロックの位相に丁度近くなったタイミングで、ループフィルタ100のループ利得が元に戻るようにした。



【特許請求の範囲】

【請求項 1】・通信網を介して供給される複数のクロック信号から一つのクロック信号を選択して、これを基準クロック信号として切替出力するクロック選択手段と、与えられる制御信号のレベルに応じた周波数の発振信号を出力する発振手段と、前記基準クロック信号と前記発振信号との位相差を検出する位相比較手段と、

この手段で検出された位相差に基づき、前記発振信号の位相を前記基準クロック信号の位相に収束させる前記発振手段への制御信号を生成するもので、前記収束にかかる時定数を可変可能な制御信号生成手段と、

この手段により生成される制御信号を保持することで前記発振手段を選択的にホールド状態とするホールド手段と、

前記クロック選択手段による基準クロック信号の切替の必要が生じた場合に、前記発振ホールド手段を通じて前記発振手段をホールド状態にしてその時の前記発振信号の状態を保たせ、その状態で前記クロック選択手段に基準クロック信号の切替を行わせた後に、前記ホールド手段を通じて前記発振手段のホールド状態を解除する切替制御手段と、

前記発振手段のホールド状態継続中に前記制御信号生成手段の時定数をホールド前の状態から大きい値に変化させ、前記ホールド状態の解除後の予め定められた期間が経過した時点で前記制御信号生成手段の時定数を前記ホールド前の値に戻す時定数制御手段とを具備することを特徴とするクロック切替装置。

【請求項 2】 前記時定数制御手段は、前記発振手段のホールド状態の解除後、前記クロック選択手段の切替後の新たな基準クロック信号と前記発振信号との位相差が予め定められた値よりも小さくなった時点で前記制御信号生成手段の時定数を前記ホールド前の値に戻すことを特徴とする請求項 1 記載のクロック切替装置。

【請求項 3】 通信網を介して供給される複数のクロック信号から一つのクロック信号を選択して、これを基準クロック信号として切替出力するクロック選択手段と、与えられる制御信号のレベルに応じた周波数の発振信号を出力する発振手段と、

前記基準クロック信号と前記発振信号との位相差を検出する位相比較手段と、

この手段で検出された位相差に基づき、前記発振信号の位相を前記基準クロック信号の位相に収束させる前記発振手段への制御信号を生成する制御信号生成手段と、

この手段により生成される制御信号を保持することで前記発振手段を選択的にホールド状態とするホールド手段と、

前記クロック選択手段による基準クロック信号の切替の必要が生じた場合に、前記発振ホールド手段を通じて前記発振手段をホールド状態にしてその時の前記発振信号

の状態を保たせ、その状態で前記クロック選択手段に基準クロック信号の切替を行わせた後に、前記クロック選択手段のクロック切替後の新たな基準クロック信号と前記発振信号との位相差が予め定められた値よりも小さくなった時点で前記ホールド手段を通じて前記発振手段のホールド状態を解除する切替制御手段とを具備することを特徴とする請求項 1 記載のクロック切替装置。

【請求項 4】 通信網を介して供給される複数のクロック信号から一つのクロック信号を選択して、これを基準クロック信号として切替出力するクロック選択手段と、前記クロック選択手段から送出される基準クロック信号が与えられ、この与えられた前記基準クロック信号が消失した場合に、消失前の波形を所定の緩和時間をもって保持しつつ出力する基準クロック信号保持手段と、与えられる制御信号のレベルに応じた周波数の発振信号を出力する発振手段と、

前記基準クロック信号と前記発振信号との位相差を検出する位相比較手段と、

この手段で検出された位相差に基づき、前記発振信号の位相を前記基準クロック信号の位相に収束させる前記発振手段への制御信号を生成するもので、前記収束にかかる時定数を可変可能な制御信号生成手段と、

前記クロック選択手段による基準クロック信号の切替の必要が生じた場合に、前記クロック選択手段に基準クロック信号の切替を行わせる切替制御手段と、

この手段による前記クロック選択手段の基準クロック信号の切替と同時に前記制御信号生成手段の時定数を切替前の状態より大きい値に変化させ、前記クロック信号保持手段から送出される基準クロック信号と前記発振信号との位相差が予め定められた値よりも小さくなった時点で前記制御信号生成手段の時定数を前記切替前の値に戻す時定数制御手段とを具備することを特徴とするクロック切替装置。

【請求項 5】 前記切替制御手段は、前記複数の基準クロック信号の各々を監視して、前記クロック選択手段で選択されている基準クロック信号に障害が発生した場合に、予め定められた期間だけ前記ホールド手段に駆動信号を送って前記発振手段をホールド状態とし、その間に前記クロック選択手段に基準クロック信号の切替を行わせるものとし、

前記時定数制御手段は、前記切替制御手段から出力される駆動信号を予め定められた時間だけ遅延して、前記制御信号生成手段の時定数を切り替えるための時定数切替信号とし、

前記制御信号生成手段は、前記時定数制御手段で生成された時定数切替信号に応じて時定数素子の接続個数を切り替えることを特徴とする請求項 1 記載のクロック切替装置。

【請求項 6】 前記ホールド手段は、与えられる駆動信号が第 1 レベルで駆動状態、第 2 レベルで停止状態とな

り、駆動状態で前記制御信号生成手段から前記発振手段に与えられる制御信号の値をホールドし、

前記切替制御手段は、通常、前記駆動信号を第1レベルとし、前記複数の基準クロック信号の各々を監視して、前記選択されているクロック信号に障害が発生した場合に、前記駆動信号を予め定められた期間だけ第2レベルとし、かつ前記駆動信号の第2レベル継続中に前記クロック選択手段にクロック信号の切替を行わせ、

前記時定数制御手段は、前記切替制御手段から出力される駆動信号と、前記クロック選択手段から与えられる基準クロック信号と、前記発振手段から出力される発振信号とをもとに2値レベルをとり得るオン/オフ制御信号を生成して、このオン/オフ制御信号を前記制御信号生成手段に導くものであって、

前記制御信号生成手段は、直列に接続された複数の時定数素子と、前記オン/オフ制御信号が第1レベルのときにオンとなって、前記複数の時定数素子のうち少なくとも一つを短絡するオン/オフスイッチとを備え、

前記時定数制御手段は、前記クロック選択手段から出力される基準クロック信号を反転する反転回路と、この反転回路の出力を予め定められた第1の遅延時間だけ遅延する第1の遅延回路と、この第1の遅延回路の出力を予め定められた第2の遅延時間だけ更に遅延する第2の遅延回路と、前記第1の遅延回路の出力と前記発振信号との論理積を出力するAND回路と、このAND回路の出力を前記クロック選択手段から出力される基準クロック信号の立ち上がりまたは立ち下がりタイミングでラッチする保持する第1の保持回路と、前記AND回路の出力を前記第2の遅延回路の出力の立ち上がりまたは立ち下がりタイミングで保持する第2の保持回路と、前記第1および第2の保持回路の反転出力または正転出力と前記駆動信号との否定論理積を出力するNAND回路と、セット端子に前記駆動信号が入力され、前記リセット端子に前記NAND回路の出力が入力され、正転出力信号または反転出力信号をオン/オフ制御信号として前記オン/オフスイッチに与えるNORラッチ回路とを備えることを特徴とする請求項1記載のクロック切替装置。

【請求項7】 前記ホールド手段は、与えられる駆動信号が第1レベルで駆動状態、第2レベルで停止状態となり、駆動状態で前記制御信号生成手段から前記発振手段に与えられる制御信号の値をホールドし、

前記切替制御手段は、通常、前記駆動信号を第2レベルとし、前記複数の基準クロック信号の各々を監視して、前記選択されているクロック信号に障害が発生した場合に、前記駆動信号を予め定められた期間だけ第1レベルとし、かつ前記駆動信号の第1レベル継続中に前記クロック選択手段にクロック信号の切替を行わせ、

前記時定数制御手段は、前記切替制御手段から出力される駆動信号と、前記クロック選択手段から与えられる基準クロック信号と、前記発振手段から出力される発振信

号とをもとに2値レベルをとり得るオン/オフ制御信号を生成して、このオン/オフ制御信号を前記制御信号生成手段に導くものであって、

前記制御信号生成手段は、直列に接続された複数の時定数素子と、前記オン/オフ制御信号が第1レベルのときにオンとなって、前記複数の時定数素子のうち少なくとも一つを短絡するオン/オフスイッチとを備え、前記時定数制御手段は、前記クロック選択手段から出力される基準クロック信号を遅延する遅延回路と、この遅延回路の出力を反転する第1の反転回路と、前記遅延回路の出力と前記発振信号との論理積を出力する第1のAND回路と、前記遅延回路の出力と前記第1の反転回路の出力との論理積を出力する第2のAND回路と、前記第1の反転回路の出力をさらに反転および遅延する遅延反転回路と、前記第1のAND回路の出力を前記遅延反転回路の立ち上がりまたは立ち下がりタイミングでラッチする第1の保持回路と、前記第2のAND回路の出力を前記基準クロック信号の立ち上がりまたは立ち下がりタイミングでラッチする第2の保持回路と、前記第1の保持回路の反転出力または正転出力と前記第2の保持回路の正転出力または反転出力と前記駆動信号との否定論理積を出力するNAND回路と、このNAND回路の出力を反転する第2の反転回路と、クロック端子に前記第2の反転回路の出力が入力され、クリア反転端子に前記駆動信号が入力され、かつ正転出力信号または反転出力信号を前記オン/オフ制御信号として前記オン/オフスイッチに与える第3の保持回路とを備えるものであることを特徴とする請求項1記載のクロック切替装置。

【請求項8】 前記ホールド手段は、与えられる駆動信号が第1レベルで駆動状態、第2レベルで停止状態となり、駆動状態で前記制御信号生成手段から前記発振手段に与えられる制御信号の値をホールドし、

前記切替制御手段は、通常、前記駆動信号を第2レベルとし、前記複数の基準クロック信号の各々を監視して、前記選択されているクロック信号に障害が発生した場合に、前記駆動信号を予め定められた期間だけ第1レベルとし、かつ前記駆動信号の第1レベル継続中に前記クロック選択手段にクロック信号の切替を行わせ、前記駆動信号と、前記クロック選択手段から与えられる基準クロック信号と、前記電圧制御発振器から出力される前記発振信号とをもとにオン/オフ制御信号を生成して、このオン/オフ制御信号を前記ホールド手段に与えるものとし、

かつ前記切替制御手段は、前記クロック選択手段から出力される基準クロック信号を反転する反転回路と、この反転回路の出力を予め定められた第1の遅延時間だけ遅延する第1の遅延回路と、この第1の遅延回路の出力を予め定められた第2の遅延時間だけ更に遅延する第2の遅延回路と、前記第1の遅延回路の出力と前記発振信号との論理積を出力する第1のAND回路と、この第1の

AND回路の出力を前記クロック選択手段から出力される基準クロック信号の立ち上がりまたは立ち下がりタイミングでラッチする第1の保持回路と、前記AND回路の出力を前記第2の遅延回路の出力の立ち上がりまたは立ち下がりタイミングでラッチする第2の保持回路と、前記第1および第2の保持回路の反転出力または正転出力と前記駆動信号とが与えられ、両信号の論理積を前記オン／オフ制御信号として前記ホールド手段に与える第2のAND回路とを備えることを特徴とする請求項3記載のクロック切替装置。

【請求項9】 前記切替制御手段は、前記複数の基準クロック信号の各々を監視して、前記クロック選択手段で選択されているクロック信号に障害が発生した場合に、前記制御信号生成手段の時定数を変化させるための駆動信号を予め定められた期間だけ第1レベルから第2レベルとし、かつ前記駆動信号の第2レベルの継続中に前記クロック選択手段にクロック信号の切替を行わせ、前記駆動信号と、前記基準クロック信号保持手段を介して与えられる基準クロック信号と、前記発振手段から出力される発振信号とをもとにオン／オフ制御信号を生成して、このオン／オフ制御信号を前記制御信号生成手段に導くものとし、

前記制御信号生成手段は、直列に接続された複数の時定数素子と、前記オン／オフ制御信号が第1レベルのときにオンとなって、前記複数の時定数素子のうち少なくとも一つを短絡するオン／オフスイッチとを備え、前記切替制御手段は、前記基準クロック信号保持手段を介して与えられる基準クロック信号を反転する反転回路と、この反転回路の出力を予め定められた第1の遅延時間だけ遅延する第1の遅延回路と、この第1の遅延回路の出力を予め定められた第2の遅延時間だけ更に遅延する第2の遅延回路と、前記第1の遅延回路の出力と前記発振信号との論理積を出力するAND回路と、このAND回路の出力を前記クロック選択手段から出力される基準クロック信号の立ち上がりまたは立ち下がりタイミングでラッチする第1の保持回路と、前記AND回路の出力を前記第2の遅延回路の出力の立ち上がりまたは立ち下がりタイミングでラッチする第2の保持回路と、前記第1および第2の保持回路の反転出力または正転出力と前記駆動信号との否定論理積を出力するNAND回路と、セット端子に前記駆動信号が入力され、リセット端子に前記NAND回路の出力が入力され、正転出力信号または反転出力信号を前記オン／オフ制御信号として前記オン／オフスイッチに与えるNORラッチ回路とを備えることを特徴とする請求項4記載のクロック切替装置。

【請求項10】 前記発振手段は、周波数可変発振器から出力される発振信号を分周する分周回路を備えることを特徴とする請求項1乃至9のいずれかに記載のクロック切替装置。

【請求項11】 前記ホールド手段は、前記制御信号生成手段から出力される制御信号の値をデジタルデータに変換するアナログ／デジタル変換器と、前記駆動信号に応じて前記デジタルデータをラッチするラッチ回路と、このラッチ回路の出力をアナログに変換して前記発振手段に与えるデジタル／アナログ変換器とを備えることを特徴とする請求項1乃至3、5乃至8のいずれかに記載のクロック切替装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はクロック切替装置に係わり、例えばITU-T勧告G.813にて要求される特性を満足しうるクロック切替装置に関する。

【0002】

【従来の技術】 近年の高度情報化社会において、伝送システムの同期化は世界の趨勢であり、ハイアラキの統一化が進められている。このような状況にあつて、SDH (Synchronous Digital Hierarchy) 方式が幹線光伝送システムの標準となりつつあり、現在までにSTM-16、すなわち2.488 Gbit/sのシステムまでが実用化に至っている。

【0003】 上記SDHのような同期網では、伝送装置は外部から供給される基準クロックに同期して動作する。この基準クロックを分配するクロック伝送系は万一の障害に備えて二重化されており、一方の系に障害が生じても他方の系に切替ることで、システムダウンに陥る危険性を排除している。

【0004】 ところで、一般に二重化されているそれぞれの系のクロック位相には、ずれがある。このため、クロックの切替を行った時に生じる位相変動が問題となる。つまりSDH伝送装置の出力信号は、基準クロックを元に生成されているので、切替時に生じた位相変動はそのまま出力信号の位相変動となる。結果として、この出力信号を受信する相手局受信装置においては、入力される信号にジッタやワンダが付加されることになる。

【0005】 これを放置しておくと、伝送品質が低下することになり好ましくない。そこで、近年になり、上記SDH伝送装置の出力の位相変動を受信装置の入力ジッタ耐力と関連付けて規定しようとする試みがなされ、ITU-T勧告G.813 (1996年8月)として勧告化された。

【0006】 この勧告に示されるFIGURE 12および13には、基準クロック切替時の位相変動特性が規定されている。このうちFIGURE 12を図20(a)に、FIGURE 13を図20(b)に示す。図20(a)によると、クロック切替過程の前後で生じる位相変化量の最大値は1 μ sec以下であること、また切替にかかる時間は15秒以内であることが要求されている。

【0007】 また、切替の全過程に渡って瞬時の周波数

変動がある上限値を超えないようにするために、観測時間が短い領域での位相変動が小さく定められており、図 2 0 (a) ではその値が 7. 5 p p m とされている。図 2 0 (a) によると、この勧告に示されている位相変動特性を満足させるためには、1 秒以上のゆっくりした時間をかけて新たな基準位相に同期しなければならないことが判る。

【0 0 0 8】図 2 0 (b) には、上記勧告で要求される M T I E (Maximum Time Interval Error) 特性が示されている。ここで、M T I E とは、経過時間（観測時間窓）に対して許容される位相差を表すもので、横軸を観測時間窓、縦軸を位相差としてプロットしている。この図 2 0 (b) によっても、観測時間が短い領域での位相変動を小さく定めていることが判る。

【0 0 0 9】また、この勧告においては、他の例えば周波数引き込み範囲、同期状態における位相変動特性など、S D H 伝送装置のクロック系に関する特性のほとんど全てが規定されており、インタフェース仕様として完成に近づいている。

【0 0 1 0】これからの S D H 伝送システムでは、上記 G. 8 1 3 勧告に基づいてクロック切替時の位相変動特性を設計する必要がある。しかしながら、この勧告において要求される特性を満足したクロック切替装置を実現する際には、以下に示すような困難を伴う。

【0 0 1 1】すなわち、G. 8 1 3 勧告にて要求される位相変動特性を満足させるためには、周波数応答に対する時定数を極めて遅くする必要がある。しかしながら、時定数を単純に遅くしてしまうと微小な位相変動への応答（つまり切替無しの、基準クロックそのものへの応答）特性も遅くなってしまうので、次に示す問題を生じてしまう。

【0 0 1 2】まず第 1 に、基準クロックは、高位の伝送装置から下位の伝送装置へと階層的に分配されているので、高位の伝送装置に対して下位の伝送装置の応答特性をかなり速くしておかないと、クロックを分配できなくなる。ところが、S D H 伝送系における最高位のクロック供給装置としての D C S（デジタルクロック供給装置）の応答特性は、G. 8 1 3 勧告にて要求される特性に近い。

【0 0 1 3】つまり、G. 8 1 3 勧告を満たすために S D H 伝送装置が備えるクロック切替装置の時定数を遅くしてしまうと、D C S のクロックのゆらぎに対して下位の S D H 伝送装置の応答が追いつかなくなってしまう。このため、下位の S D H 伝送装置にまでクロックを伝えることができなくなってしまう（換言すれば、クロック連鎖が安定しなくなる）。

【0 0 1 4】だからといって、時定数を速くすると、周波数引き込み範囲（キャプチャレンジ）の広さや、瞬間的な周波数変動（例えば自走モードから外部同期モードに動作モードを変更するときに生じる）に対する追従動

作特性を確保することが困難になるばかりか、そもそも勧告の要求に沿ったクロック切替装置を作ることが出来ない。

【0 0 1 5】

【発明が解決しようとする課題】以上述べたように、G. 8 1 3 勧告に基づくクロック切替装置を実際に作るうとする際には、位相に対する応答特性が犠牲になり、例えばクロック連鎖の際の安定性の確保などが困難になるというジレンマがあった。

【0 0 1 6】本発明は上記事情によりなされたもので、その目的は、位相応答特性を犠牲にすることなく、かつ時間間隔に対する位相変動量を抑制することを可能としたクロック切替装置を提供することにある。

【0 0 1 7】

【課題を解決するための手段】上記目的を達成するために第 1 の本発明は、通信網を介して供給される複数のクロック信号から一つのクロック信号を選択して、これを基準クロック信号として切替出力するクロック選択手段と、与えられる制御信号のレベルに応じた周波数の発振信号を出力する発振手段と、前記基準クロック信号と前記発振信号との位相差を検出する位相比較手段と、この手段で検出された位相差に基づき、前記発振信号の位相を前記基準クロック信号の位相に収束させる前記発振手段への制御信号を生成するもので、前記収束にかかる時定数を可変可能な制御信号生成手段と、この手段により生成される制御信号を保持することで前記発振手段を選択的にホールド状態とするホールド手段と、前記クロック選択手段による基準クロック信号の切替の必要が生じた場合に、前記発振ホールド手段を通じて前記発振手段をホールド状態にしてその時の前記発振信号の状態を保持させ、その状態で前記クロック選択手段に基準クロック信号の切替を行わせた後に、前記ホールド手段を通じて前記発振手段のホールド状態を解除する切替制御手段と、前記発振手段のホールド状態継続中に前記制御信号生成手段の時定数をホールド前の状態から大きい値に変化させ、前記ホールド状態の解除後の予め定められた期間が経過した時点で前記制御信号生成手段の時定数を前記ホールド前の値に戻す時定数制御手段とを具備することを特徴とする。

【0 0 1 8】このようにすると、上位網などから供給される例えば主系統および副系統のクロック信号のうちいずれかが、基準クロック信号としてクロック選択手段から出力される。定常の運用状態では、いずれかの系統のクロック信号の位相に同期した発振信号が（クロック出力として）出力される。このときの制御信号生成手段の時定数は小さい状態に設定されており、このため基準クロック信号の位相ゆらぎに対してクロック出力は速く追従する。

【0 0 1 9】例えば定常の運用状態では主系統のクロック信号が選択されていたとし、障害の発生などにより副

システムのクロック信号に切替る必要が生じたとする。すると、切替制御手段によりまず発振手段がホールドされ、その時点の発振信号の位相が一定時間保たれる。このホールド状態の継続中に、クロック選択手段では主システムから副システムのクロック信号への切替がなされ、基準クロック信号として新たに副システムのクロック信号が出力される。さらに、制御信号生成手段の時定数が定常状態よりも大きい状態に設定される。

【0020】上記制御が完了してホールド状態が解除されると、再同期過程に入り、上記発振信号の位相は副システムのクロック信号の位相へとゆっくりと振動しつつ（大きな時定数をもって）収束して行く。この再同期過程の開始から、例えばG. 813勧告に基づき予め定められた期間が経過すると、時定数制御手段により上記時定数が元の値に戻され、これ以降は発振信号の位相は、副システムのクロック信号の位相へと急速に収束することになる。

【0021】上記再同期過程において、収束中の発振信号の位相が新たな基準クロック信号の位相と一致する（または近くなる）タイミングがあるはずである。このタイミングは、時定数の設定値や供給されるクロック信号の周波数、位相などに応じて設計的に定まるはずである。そこで、再同期過程の開始から時定数を元に戻すまでの期間を、上記タイミングに合わせて設定しておくことで、急速な収束過程における位相の変化量を最小限に抑えることが可能となる。

【0022】このようにしたので、クロック出力の切替に係わる全過程における、時間に対する位相変動量を最小限に抑えることができるようになる。このような位相変動特性は、G. 813勧告において求められている特性に、非常に良くマッチするものである。

【0023】また、切替後の定常の運用状態では、位相追従にかかる時定数が小さく保たれる。これにより、基準クロック信号の微少な位相変化（位相ゆらぎ）には、即座に追従できることになる。

【0024】また第2の本発明では、前記時定数制御手段を、前記発振手段のホールド状態の解除後、前記クロック選択手段の切替後の新たな基準クロック信号と前記発振信号との位相差が予め定められた値よりも小さくなった時点で前記制御信号生成手段の時定数を前記ホールド前の値に戻すものとしたことを特徴とする。

【0025】このように、基準クロック信号と前記発振信号との位相差に基づき、より直接的に前記時定数を元に戻すようにしても良い。

【0026】また第3の本発明では、前記切替制御手段を、前記クロック選択手段のクロック切替後の新たな基準クロック信号と前記発振信号との位相差が予め定められた値よりも小さくなった時点で前記ホールド手段を通じて前記発振手段のホールド状態を解除することの特徴とする。すなわち、前記制御信号生成手段における位相

の収束にかかる時定数を固定とし、前記ホールド状態を、切替後の新たな基準クロック信号と前記発振信号との位相差が前記基準に基づき予め定められた値よりも小さくなる時点にまで継続させるものとした。

【0027】このようにしても、位相収束までの時間は延びるものの、上記G. 813勧告に沿ったかたちでの位相変化を実現することができる。

【0028】また第4の本発明では、上記第1、第2の発明の構成に代えて、通信網を介して供給される複数のクロック信号から一つのクロック信号を選択して、これを基準クロック信号として切替出力するクロック選択手段と、前記クロック選択手段から送出される基準クロック信号が与えられ、この与えられた前記基準クロック信号が消失した場合に、消失前の波形を所定の緩和時間をもって保持しつつ出力する基準クロック信号保持手段と、与えられる制御信号のレベルに応じた周波数の発振信号を出力する発振手段と、前記基準クロック信号と前記発振信号との位相差を検出する位相比較手段と、この手段で検出された位相差に基づき、前記発振信号の位相を前記基準クロック信号の位相に収束させる前記発振手段への制御信号を生成するもので、前記収束にかかる時定数を可変可能な制御信号生成手段と、前記クロック選択手段による基準クロック信号の切替の必要が生じた場合に、前記クロック選択手段に基準クロック信号の切替を行わせる切替制御手段と、この手段による前記クロック選択手段の基準クロック信号の切替と同時に前記制御信号生成手段の時定数を切替前の状態より大きい値に変化させ、前記クロック信号保持手段から送出される基準クロック信号と前記発振信号との位相差が予め定められた値よりも小さくなった時点で前記制御信号生成手段の時定数を前記切替前の値に戻す時定数制御手段とを具備することを特徴とする。

【0029】このような構成によっても、保持手段の作用により切替後の基準クロックの位相は急速に変動せず、ホールド状態が擬似的に保たれる。そして、切替後の基準クロックの位相と、発振信号との位相差が所定値よりも小さくなった時点で位相制御手段の時定数が元に戻るようになっている。よって、G. 813勧告において求められている位相変動特性を実現することができる。

【0030】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

（第1の実施形態）図1は、本発明の第1の実施形態に係わるクロック切替装置の構成を示す回路ブロック図である。図1のクロック切替装置は、外部から供給される主システムの基準クロック1、または副システムの基準クロック2のうち、いずれか一方を制御部4の制御に基づき選択回路3で選択してこれを基準クロック6とする。そして、この基準クロック6に同期したクロック出力信号2

4を、高精度な電圧制御発振器(VCXO)17に発振出力させることで、クロックの切替を行うものである。

【0031】ここでは、クロック出力信号24の一部を分岐して、これを分周回路18を介して基準クロック6と共にPLL(Phase Lock Loop)回路を構成する位相比較器7に入力し、その位相比較によって得られる位相差信号をループフィルタ(制御信号生成部)100に与え、このループフィルタ100の出力を電圧制御発振器17の制御信号とすることで、基準クロック6に同期したクロック出力信号24を得ようになっている。

【0032】位相比較器7には、基準クロック6と分周回路18の出力(位相比較用信号8)が導かれる。この位相比較器7の出力は、ループフィルタ100にて、抵抗器9およびコンデンサ11からなる積分回路によりスプリアス除去され、基準クロック6と位相比較用信号8との位相のずれに応じた直流電圧が、抵抗器10を介して演算増幅器(オペアンプ)12に与えられる。

【0033】この演算増幅器12の出力は、一部が分岐されてオペアンプ帰還抵抗器14、13を介して負帰還されており、抵抗器10およびオペアンプ帰還抵抗器14、13の抵抗値により定まるループ利得に基づいて、基準クロック6の位相に位相比較用信号8の位相(すなわちクロック出力信号24の位相)を応答させるようになっている。

【0034】ここで、制御部4は例えば平滑回路を備えてなる既知の信号断検出部4a、4bを備え、主系統の基準クロック1または副系統の基準クロック2に障害が発生した場合にはその旨を検出して、クロック選択制御信号5およびホールドオーバー制御信号20を与える。

【0035】ところで、本実施形態ではループフィルタ100の出力を、ホールドオーバー回路16を介して電圧制御発振器17に与えるようにしている。このホールドオーバー回路16としては、図示しないが、入力される信号をA/Dコンバータでデジタル変換した上で記憶素子に記憶し、外部からの制御により記憶素子に記憶された情報を取り出してこれをD/Aコンバータによりアナログ変換して出力するようにしたものが挙げられる。

【0036】すなわち、ホールドオーバー回路16は、制御部4から与えられるホールドオーバー制御信号20に基づき、ホールドオーバー状態に設定された瞬間に直前の入力(すなわち演算増幅器12の出力)を保持して、これをホールドオーバー状態が解除されるまで電圧制御発振器17への制御電圧として与える機能を有する。

【0037】また本実施形態では、演算増幅器12の帰還抵抗のうちの一つであるオペアンプ帰還抵抗器14を短絡するための、オン/オフスイッチ15を設けている。このオン/オフスイッチ15は、外部から与えられる制御信号(利得切替信号19)のL/Hに応じてオン

/オフされるもので、例えばリレー、フォトカプラ、アナログスイッチなどで実現される。オン/オフスイッチ15のオン/オフ動作に応じて演算増幅器12への帰還抵抗値が変化し、ループ利得が低/高に切り替わるようになっている。

【0038】さらに本実施形態では、遅延部200を設け、ホールドオーバー制御信号20をこの遅延部200により遅延して、制御信号なる利得切替信号19としてオン/オフスイッチ15に与えるようにしている。遅延部200は、ホールドオーバー制御信号20の分岐信号を信号遅延回路21で遅延して、さらにこの遅延信号22をAND回路23に与えてホールドオーバー制御信号20とのANDを取って利得切替信号19とするものである。なお、必ずしもAND回路23を設ける必要はなく、信号遅延回路21の出力をそのまま利得切替信号19としても良い。

【0039】さて、上記構成におけるクロック切替装置の動作を図2のタイムチャートを参照して説明する。ここでは、切替前の定常状態では主系統の基準クロック1が選択されていたとする。この状態から、時刻 t_1 において主系統の基準クロック1に障害が生じると、信号断検出部4aにおいてクロック検出信号41(図示しないが、クロック検出信号41、42とは、クロック供給を検知している時にHとなる信号である)がLとなり、これに応じて制御部4はホールドオーバー制御信号20をアクティブLとする。このホールドオーバー制御信号20を受けたホールドオーバー回路16(図1)は、直ちにホールドオーバー状態となり、電圧制御発振器17には直前の制御電圧が継続して与えられる。

【0040】また、制御部4は時刻 t_1 において利得切替信号19をLとし、これによりオン/オフスイッチ15がオンされて、ループフィルタ100のループ利得が高から低へと切り替わる。この状態は、時刻 t_2 に至り、制御部4がホールドオーバー制御信号20を再びHに戻すまで続く。

【0041】このホールドオーバー状態の継続中に、制御部4は選択回路3にクロック選択制御信号5を与え、基準クロック6を主系統の基準クロック1から副系統の基準クロック2に切替る。この切替のタイミングは、ITU-T勧告G.813に基づき、時間に対する位相変動量が図20の範囲内に収まるように予め設定しておく。

【0042】さて、時刻 t_1 から t_1 が経過した時刻 t_2 では、制御部4によりホールドオーバー制御信号20が再びHに戻される。さらに、この時点から信号遅延回路21における遅延量 τ_2 だけ経過した時刻 t_3 において、利得切替信号19が再びHとなり、ループ利得が再び高い状態に戻る。

【0043】このような制御過程におけるクロック出力信号24の位相変化の様子を図3に示す。図3におい

て、横軸は経過時刻を、縦軸は絶対位相系を基準としたクロック出力信号 2 4 の位相を表す。また縦軸の $\phi 1$ 、 $\phi 2$ は、クロック出力信号 2 4 が主系統または副系統の基準クロック 1、2 に同期している場合のそれぞれの位相を示す。

【0044】主系統の基準クロック 1 に障害が発生すると同時に、時刻 t_1 でホールドオーバー状態となり、クロック出力信号 2 4 の位相は $\phi 1$ から緩やかにずれていく。勿論、ホールドオーバーの特性に応じてこのズレ量は増減するが、あくまでも勧告 G. 813 を満たす範囲にズレ量を留めておく。

【0045】ここから t_1 が経過するとホールドオーバー状態が解除される。この時刻 t_2 では、ループフィルタ 100 のループ利得は既に低い状態に切替られており、この低いループ利得をもって副系統の基準クロック 2 への再同期過程に入る。この再同期過程では、クロック出力信号 2 4 の位相は、副系統の基準クロック 2 の位相 $\phi 2$ に向けて振動しつつゆっくりと収束していく。

【0046】この変化の仕方は、ループフィルタ 100 を構成する各素子の特性により変化するが、中でもオペアンプ帰還抵抗器 13、14 の抵抗値の設定に負う所が大きい。つまり、オペアンプ帰還抵抗器 13 に比して、オペアンプ帰還抵抗器 14 の抵抗値が大きすぎれば、切替後の利得が小さくなりすぎてダンピングが効かなくなり、位相は収束しなくなる。一方、オペアンプ帰還抵抗器 14 の抵抗値が小さすぎれば、切替後の利得は大きいままとなり、位相追従の仕方が速くなりすぎる。そこで、オペアンプ帰還抵抗器 13、14 の抵抗値を適切に設定して、位相変化の速度が G. 813 勧告で要求される特性を満足するようにしておく。

【0047】さて、時刻 t_2 から t_3 が経過すると（時刻 t_3 ）、ループフィルタ 100 のループ利得が元の高い状態に戻り、クロック出力信号 2 4 の位相は、高速の過渡応答特性をもって副系統の基準クロック 2 の位相 $\phi 2$ に収束する。かくして、基準クロックの切替が完了し、新たな位相 $\phi 2$ のクロック出力信号 2 4 が外部に出力される。

【0048】このとき、緩やかに変動しているクロック出力信号 2 4 の位相が、新たな位相 $\phi 2$ に近づいた瞬間にループ利得を元に戻すようにすれば、G. 813 勧告で要求される特性をはみ出すことなく位相切替を完了できるはずである。本実施形態では、 t_2 を予め設定しておくことで、丁度良いタイミングで利得を元に戻すようにしている。

【0049】つまり、再同期過程におけるクロック出力信号 2 4 の位相が切替後の新たな位相に近づくタイミングは、設計的に一意に決まるはずである。そこで、このようなタイミングを予め求めておき、信号遅延回路 21 の遅延量 τ_2 に設定しておくようにする。

【0050】このことから、 τ_2 の設定は一通りではな

いことが判る。つまり本実施形態では、図 3 におけるクロスポイント C にて利得を元に戻すようにしているが、 τ_2 をこれより短くしてクロスポイント A、C、または τ_2 を長くしてクロスポイント D、E にて利得を元に戻すようにしても良い。このように、 τ_2 を自由に選べるが、システム設計時にはなるべく速い時点で切替が終了するようにするのが好ましいであろう。

【0051】なお、上記説明では主系統の基準クロック 1 から副系統の基準クロック 2 への切替を行う場合を説明したが、逆に副系統の基準クロック 2 から主系統の基準クロック 1 への切替を行う場合にも、上記と同様の手順が踏まれる。

【0052】かくして本実施形態では、基準クロック 6 に同期したクロック出力信号 2 4 を電圧制御発振器 17 にて発生出力するタイプのクロック切替装置にあって、ホールドオーバー回路 16 と遅延部 200 とを設けている。

【0053】外部から提供される基準クロックの障害に伴う切替時には、ホールドオーバー回路 16 によりまず切替直前のクロック出力信号 2 4 を保持しておき、そのうえで基準クロック 6 を新たな基準クロックに切替る。この状態から、オペアンプ帰還抵抗器 14 を短絡することでループフィルタ 100 のループ利得を低い状態にしたのち、ホールドオーバー状態を解除して再同期過程に入る。

【0054】そして、遅延部 200 により、再同期過程のクロック出力信号 2 4 の位相が新たな基準クロックの位相に丁度近くなったタイミングで、ループフィルタ 100 のループ利得が元に戻るようにしている。

【0055】このようにすることで、基準クロック 6 が新たな位相に切り替わっても、クロック出力信号 2 4 の位相はホールドされてすぐには変化しない。ホールドオーバー解除後の再同期過程では、既にループ利得が低くなっているので、クロック出力信号 2 4 の位相はゆっくりと切替後の位相に収束して行く。そして、クロック出力信号 2 4 の位相が切替後の位相に近くなったときにループ利得が元の高い状態に戻るため、最終的な位相の収束の仕方は急速ではあるけれども、位相変化量を非常に小さく抑えることができるようになる。

【0056】すなわち、ITU-T 勧告 G. 813 が要求するような「短い時間範囲での位相変化量は小さく、大きな位相変化はゆっくりと時間をかけて」なる条件を満たした上でクロック切替を行うことが可能となる。

【0057】また、基準クロックの切替に際して、大きな位相変動の発生する時間応答特性を遅くし、引き込み時の小さな位相変動のみを高速化しているため、SDH 伝送装置に対して使用した場合に、対向する受信装置でのジッタ耐力を超えることのない位相変動特性を実現できる。

【0058】さらに、定常状態ではループフィルタ 100

0のループ利得を高い状態に保っておけるので、基準クロックの位相ゆらぎに対する追従機能を高くでき、同期クロック連鎖状態での位相変動を効果的に抑制することができる。

【0059】本実施形態におけるクロック切替装置にて、その動作特性を測定した結果を図4および図5に示す。図4は、タイムインターバルアナライザを用いて、時刻も2すなわちホールドオーバー解除時点での出力位相を基準として、それ以降の相対位相を計測した結果を示すグラフである。切替後の位相への収束の仕方が判る。

【0060】図4に示すグラフを、MRTIE特性として表示したものが図5である。尚、ここで言うMRTIEとは、(Maximum Relative Time Interval Error)を意味するもので、(従来の技術)の頁で述べたMTIEと同じ意味を持つ。(MTIEとはよりアカデミックな表現で、位相誤差を測定する際の基準クロックが絶対精度を補償されている場合には、Relativeなる語を付さないようである。)図5から判るように、高速な変動、すなわち短時間での位相変動は数十nsecに抑えられており、また大きな位相変動は数秒の領域で発生している。全体として、図20(b)の範囲に収まり、規格を満足していることが判る。

【0061】(第2の実施形態)次に、本発明の第2の実施形態を図6を参照して説明する。なお、図6において図1と同一の部分には同一の符号を付して示し、ここでは異なる部分についてのみ説明する。本実施形態のクロック切替装置は、図1における遅延部200を位相検出部300に置き換えたものとなっている。

【0062】上記第1の実施形態では、利得切替信号19がHに戻るタイミングを信号遅延回路21により固定的に決定していた。これに代えて本実施形態では、再同期過程において変動中の位相が、切替後の新たな位相に近くなった(あるいは等しくなった)タイミングを検出して、このタイミングをもって利得切替信号19を元に戻すようにしている。

【0063】位相検出部300においては、基準クロック6をインバータ67で反転したのち遅延素子62で τa だけ遅延して、これを位相比較用信号8と共にAND回路66に導く。このAND回路66の出力は、エッジトリガ型のDフリップフロップ(以下D-FFと記す)68, 69のD端子にそれぞれ与えられる。

【0064】D-FF68のCK端子には、基準クロック6が与えられる。また、D-FF69のCK端子には、遅延素子62の出力を更に遅延素子64で τb だけ遅延した信号(基準クロック6の反転を $(\tau a + \tau b)$ だけ遅延した信号)65が与えられる。

【0065】D-FF68, 69のQ/出力(Q反転出力)70, 71は、ホールドオーバー制御信号20と共にNAND回路72に与えられる。このNAND回路7

2の出力73は、RSフリップフロップ(以下RS-FFと記す)74のR端子に与えられる。また、RS-FF74のS端子には、ホールドオーバー制御信号20が与えられ、このRS-FF74の出力を利得切替信号19としてオン/オフスイッチ15に与えるようにしている。

【0066】上記構成においても、図7のタイムチャートに示すように制御部4はクロック信号断を検出すると直ちにホールドオーバー状態として、ループ利得を下げた状態でクロックの切替を行ったのちホールドオーバーを解除する。その後、 $\tau 3$ の経過の後に利得切替信号19がHに戻り、切替後の位相に収束する。

【0067】図8にも、図6における各信号のタイミング関係を示す。図8において、6は基準クロック、61は基準クロック6の反転、63は信号61の τa 遅延、65は信号61の $(\tau a + \tau b)$ 遅延、8は位相比較用信号(クロック出力信号24の分周出力)である。図8は、位相比較用信号8と信号63との位相関係が、丁度 π だけずれた場合にPLL回路が安定となる場合を示している。

【0068】図9のタイムチャートを用いて更に詳しく説明する。図9において、67はAND回路66の出力、70はD-FF68のQ反転出力、71はD-FF69のQ反転出力であり、他の符号は図6(図8)に対応している。

【0069】図9において、位相比較用信号8の位相は、図中“ \leftarrow ”方向に(位相差が小さくなる方向に)移動して行く。D-FF68, 69には、クロック信号として基準クロック6、信号65(基準クロック6の反転の $(\tau a + \tau b)$ 遅延)が定常的に、それぞれ与えられている。

【0070】これらの各々のクロックの立ち上がりエッジでAND回路66の出力67の状態を検出すると、位相比較用信号8の立ち下がり変化点が、図中のエッジ検出点を通過した瞬間に、D-FF69のQ反転出力71がLからHに変化することになる。

【0071】一方、図6のNAND回路72には、信号70, 71およびホールドオーバー制御信号20が与えられている。すなわち、位相比較用信号8の立ち下がり変化点がエッジ検出点を通過した際、ホールドオーバー制御信号20がHであれば、つまりホールドオーバー状態が解除されているときに限り、NAND回路72の出力73がLとなる。

【0072】このとき、RS-FF74はセットされて利得切替信号19がHとなり、オン/オフスイッチ15がオフされ、ループ利得は再び高い状態に戻る。これによりクロック出力信号24の位相は、高速の過渡応答特性をもって副系統の基準クロック2の位相 $\phi 2$ に収束する。かくして、基準クロックの切替が完了し、新たな位相 $\phi 2$ のクロック出力信号24が外部に出力される。

【0073】つまり上記構成においては、位相比較用信号8の立ち下がり変化点を、基準クロック6よりも（ $\tau_a + \tau_b$ ）遅延させたエッジ検出点で識別し、かつそのときホールドオーバーが解除されているときに限り、利得切替信号19をリセットするようにしている。

【0074】このようにすることで、ループ利得を元に戻すタイミングをより適切に制御できる。つまり、何らかの原因で再同期過程の時定数が変化した場合にも、それに応じてループ利得を元に戻すタイミングが制御されるので、信頼性をより高めることが出来るようになる。

【0075】また、ホールドオーバーが解除されているときに限り、利得切替信号19をリセットするようにしているので、ホールドオーバー状態のときに切替動作が行なわれてしまう（この場合、位相が急激に変動してしまうことになる）ことを防ぐことができる。

【0076】図10に、本実施形態のクロック切替装置の動作原理を示す。時刻 t_2 にてホールドオーバーが解除されてから最初のクロスポイントにて、位相が収束する事が判る。

【0077】（変形例）本実施形態における位相検出部300の構成として、図11の変形例を挙げることができる。図11においては、遅延素子としてインバータを用いて、位相検出部300をディジタルICのみにより構成した例を示す。

【0078】図11の回路によれば、基準クロック6はインバータI1、I2により遅延されてこれが位相比較基準クロック63となる。この位相比較基準クロック63が位相比較用信号8と共にAND回路A1に与えられ、D-FF80でラッチされる。このD-FF80には、位相比較基準クロック63をインバータI3～I6により遅延した信号D63がクロックとして与えられる。

【0079】また、63をインバータI3で反転した信号NOT63が位相比較用信号8と共にAND回路A2に与えられ、D-FF81でラッチされる。このD-FF81には、基準クロック6がクロックとして与えられる。

【0080】D-FF80のQ反転出力、D-FF81のQ出力が、ホールドオーバー制御信号20と共にNAND回路NA1に与えられ、その出力がNAND回路NA2で反転されたのちD-FF82でラッチされる。D-FF82のCLR反転端子にはホールドオーバー制御信号20が与えられ、そのQ出力が利得切替信号19となる。

【0081】この構成においては、図12に示すように、PLL基準クロック63の立ち上がりエッジのみの前後で位相検出を行うことが判る。すなわち、基準クロック6のデューティーに依存しないことになる。

【0082】基準クロック6は、外部から供給されるものなのでデューティーについての補償がないが、図11

の構成にすることでデューティーの影響を受けずに済むことになり、更なる動作の安定性を図ることができる。なお、位相比較用信号8のデューティーは、カウンタなどを使用して容易に規定できる。

【0083】かくして本実施形態では、基準クロック6に同期したクロック出力信号24を電圧制御発振器17にて発生出力するタイプのクロック切替装置にあって、ホールドオーバー回路16と位相検出部300とを設けている。

【0084】そして、クロック出力信号24の位相はホールドオーバー状態から再同期過程を経て新たな位相に収束するが、このとき、位相検出部300により位相比較用信号8の位相が、切替後の新たな位相に、最初に近くなったタイミングを検出してその時点でループフィルタ100のループ利得が元に戻るようにしている。

【0085】このようにすることで、上記第1の実施形態と同様の効果を得られるほか、常に最初のクロスポイントにて位相が収束するので、同期するまでの時間を短縮することができる。また繰り返しになるが、PLL回路の特性変化にも良く追従できる。

【0086】本実施形態のクロック切替装置にて、その動作特性を測定した結果を図13および図14に示す。図13は、タイムインターバルアナライザを用いて、時刻 t_2 出力位相を基準として、それ以降の相対位相を計測した結果を示すグラフである。図4のグラフに示すような震動波形は見られなくなり、新たな位相により速く収束していることが判る。

【0087】上記計測結果を、MRTIE特性として表示したものが図14である。これによっても、短時間での位相変動は数十nsecに抑えられており、また大きな位相変動は数秒の領域で発生していることが判る。全体として、図20(b)の範囲に収まり、規格を満足していることが判る。

【0088】（第3の実施形態）次に、本発明の第3の実施形態を図15を参照して説明する。なお、図15において図6と同一の部分には同一の符号を付して示し、ここでは異なる部分についてのみ説明する。本実施形態のクロック切替装置は、図6の構成と比してループフィルタ100、位相検出部300の構成において異なるものとなっている。区別のため本実施形態でのループフィルタに100'、位相検出部に300'なる符号をそれぞれ付す。

【0089】まずループフィルタ100'は、オン/オフスイッチ15を排した固定利得型となっている。すなわちループフィルタ100'のループ利得は、常に高い状態にセットされている。一方、位相検出部300'は、NAND回路72、RSフリップフロップ74を排し、AND回路91を備えている。ホールドオーバー制御信号20、D-FF68のQ/出力70、D-FF69のQ/出力71は共にAND回路91に与えられ、そ

の論理積出力がホールドオーバー回路16に制御信号として与えられる。

【0090】図16に、ホールドオーバー回路16の構成例を示す。なお、図16の構成は図1および図6に示すクロック切替装置においても適用できる。ホールドオーバー回路16は、アナログ／デジタル(A/D)変換器161と、ラッチ回路162と、デジタル／アナログ(D/A)変換器163とを備え、ループフィルタ100'から与えられる電圧制御発振器17への制御電圧値をデジタル化し、これをAND回路91からの信号によりラッチ(保持)するものである。

【0091】次に、本構成におけるクロック切替装置の動作を説明する。制御部4はクロック信号断を検出すると、直ちにホールドオーバー制御信号20をLとしてホールドオーバー回路16に、直前の電圧値を保持させる。これにより電圧制御発振器17の出力クロック24をホールドする。ただしこのとき、ループフィルタ100'のループ利得は変化しない。

【0092】その後、所定時間経過ののちに制御部4はホールドオーバー制御信号20をHに戻す。上記第1、第2実施形態では、これがそのままホールドオーバー制御回路16に与えられ、ここでホールドオーバーが解除される。対して図15の構成では、ホールドオーバー制御信号20がAND回路91を介しているために、この時点ではまだホールドオーバー制御回路16に与えられる信号はLのままであり、したがってホールドオーバーは解除されない。

【0093】すなわち、第2実施形態の説明の中で示したように、位相比較用信号8の位相が切替後のクロック信号の位相に合致しないと、信号71がHにならない。つまりこの実施形態では、クロック出力信号24の位相が切替後のクロック信号の位相に合致した時点で、ホールドオーバーが解除されることになる。

【0094】図17に、上記作用における位相変化の原理を示す。図17の(a)は、比較のため図3の位相変化図を示したもので、本実施形態における位相変化を、図17(b)に示す。なお図17(a)、(b)の横軸(時間)のスケールは同じである。すなわち図17

(a)では、時刻 t_2 にてホールドオーバーが解除され低ループ利得にて新たな位相 ϕ_2 に近づくのに対し、図17(b)ではそのままホールドオーバーが継続され、ループ利得が高いままであるにも拘わらず、さらに緩慢に位相 ϕ_2 に近づいて行く。そして、切替後のクロックの位相が ϕ_2 に一致した時点でホールドオーバーが解除され、切替後のクロックは高いループ利得をもって位相 ϕ_2 に収束する。

【0095】このように本実施形態では、ループフィルタ100'のループ利得を固定型とし、位相検出部300により、位相比較用信号8の位相が切替後の新たな位相に近づいた時点でホールドオーバーを解除するように

している。

【0096】このようにすることでも、上記第2の実施形態に比して同期完了までの時間は延びるものの、G₈₁₃勧告を満たすことができるほか、PLL回路の特性変化にも良く追従できるので、第2の実施形態とほぼ同様の効果を得ることができる。

【0097】(第4の実施形態)次に、本発明の第4の実施形態を図18を参照して説明する。なお、図18において図6と同一の部分には同一の符号を付して示し、ここでは異なる部分についてのみ説明する。本実施形態のクロック切替装置は、図6の構成からホールドオーバー回路16を削除し、ループフィルタ100中の演算増幅器12の出力を直接電圧制御発振器17に与えるようにしている。また、選択回路3から送出される基準クロック6を、タンク回路92を介して位相検出部300に与えるものとなっている。

【0098】上記第1および第2の実施形態では、ホールドオーバー回路16の作用により電圧制御発振器17をホールドオーバーすることで、クロックの消失を避けつつ切替を行えるようにしていた。本実施形態では、タンク回路92の出力保持動作により同様の効果を得るようにしている。

【0099】例えば伝搬クロックが消失したためにクロック切替の必要が生じた場合、切替完了までに選択回路3からの基準クロック6が途絶えてしまうことになり、このままでは位相の急激な変動が避けられない。このため本実施形態では選択回路3からの基準クロック6をタンク回路92を介するようにすることで、基準クロックの消失を防いでいる。

【0100】ここで、タンク回路92は、信号断検出部4a、4bにてクロック断が検出されるまでの時間よりも長いタムに渡ってその出力(基準クロック6')を維持できるものとする。このことは、逆にクロック入力断の検出にかかる時間を短く設定することで容易に実現できる。

【0101】例えば、伝搬クロックが4クロック(4バース)消失したことをもってクロック断を定義することで、不確定幅を考えても3〜5クロックの消失でクロック断を検出することが可能となる。タンク回路92のQは、せいぜい100もあれば良い。

【0102】上記構成においてその作用を説明する。信号ケーブルの障害などにより基準クロック1の振幅が消失すると、信号断検出部4aがクロック断を検出して選択回路3を切り替え、基準クロック2への切替を行う。またオン／オフスイッチ15がオンされ、ループフィルタ100のループ利得が下げられる。

【0103】障害が発生した時点で選択回路3からの基準クロック6は消失してしまうが、タンク回路92により元の基準クロック6の波形の振動成分が保持されるため、位相検出部300に与えられる基準クロック6'が

消失することはない。そして、タンク回路 92 からの基準クロック 6' が消失する前に、選択回路 3 を経由して切替後の基準クロック 6 が入力されてくることになる。

【0104】ここで、切替前後の基準クロック 6 が互いに同期している保証は無い。仮に同期しているとしても、その絶対的な位相関係が外れている場合の方が遙かに多い。このため、新たな基準クロック 6 を選択した後では、その位相に向かって PLL 回路が位相追従動作を開始する。切替前後の基準クロック 6 が非同期関係にある場合には、周波数・位相引き込みを開始する。

【0105】次いで、上記第 2 の実施形態と同様の処理を経て切替後の基準クロック 6 と位相比較用信号 8 との位相が接近した時点で、ループフィルタ 100 のループ利得が元に戻され（オン／オフスイッチ 15 がオフされ）、クロック出力信号 24 は新たな第 2 の位相に収束する。

【0106】図 19 に、以上の過程を時間軸上で示す。定常状態から時刻 t_1 にてクロック障害が発生すると、時刻 t_2 にてその障害が制御部 4 にて検出される。ここでは、タンク回路 92 の出力は消失しない。次いで時刻 t_3 にてループフィルタ 100 のループ利得を下げた上で、時刻 t_4 にて新たな基準クロックへの切り替えがなされる。

【0107】やがて、時刻 t_5 にてタンク回路 92 からの基準クロック 6' が消失するが、この時点では既に基準クロック切替が完了しているため、位相検出器 300 への基準クロックが消失することはない。換言すれば、タンク回路 92 の出力保持時間を Δt よりも長く設定しておく。

【0108】新たな基準クロックへの周波数・位相引き込みは、既に時刻 t_4 から開始されている。そして、切替後の基準クロック 6 の位相に位相比較用信号 8 の位相が定常位相関係になった時点（時刻 t_6 ）で、ループフィルタ 100 の利得を元に戻す。

【0109】以上の作用を位相変動の時間変化で考えると、時刻 t_4 から t_6 の間では元の基準クロックと新たな基準クロックとの位相差に対して PLL 回路が再同期していることになる。しかしながら、この状態ではループ利得が低いので、絶対的な位相の変動量は大きいものの、その時間的な変化量は小さい。なぜならループフィルタ 100 の利得を低下させているので、 t_6 でループ利得を元に戻すと、位相の時間的な変化量は大きくなるが、位相差そのものが小さくなっているため、逆に絶対的な位相変化量は小さく抑えられるということになる。

【0110】このように本実施形態では、ホールドオーバー回路 16 を省く代わりにタンク回路 92 を設け、タンク回路 92 の出力保持動作により基準クロックの消失を避けつつクロック切替を行うようにしている。このようにすることでも、上記第 2 の実施形態と同様の効果を得ることができるほか、構成をより簡易化することが可

能となる。

【0111】なお、本発明は上記各実施の形態に限定されるものではない。例えば上記各実施形態において、ホールドオーバー回路 16 をアナログの素子で構成しても良い。また上記各実施形態では、ループフィルタ 100 のループ利得を制御する仕方として、直列に接続した帰還抵抗の一部をオン／オフスイッチ 15 によって短絡するようにしたが、オペアンプ回路について知識のある者にとっては、以下の手法によっても同じ効果を得られることを容易に類推できるであろう。

【0112】・複数の帰還抵抗を並列に組み合わせ、その一部の抵抗はオン／オフスイッチと直列に接続しておき、ループ利得を下げる時にはオン／オフスイッチを短絡させる。

・帰還抵抗ではなく、入力抵抗の値を変化させる。

・一つの箇所だけでなく、複数の箇所で抵抗値を変化させる。

【0113】また、ループ利得を低下させれば良いのであるから、次のような仕方も考えられる。

・演算増幅器 12 の帰還回路側、または入力側にトランジスタ、ダイオードなどの非線型素子を使用して、動作抵抗値を制御する。

・回路途中に減衰回路を挿入して、その減衰率を変化させる。

・回路途中に増幅回路を挿入して、その増幅率を変化させる。

など、様々なやりかたがある。

【0114】また上記第 2 の実施形態では、位相比較器 7 における基準信号（信号 63）の位相と、位相比較用信号 8 の位相とが、丁度 π だけずれたときに PLL 回路が安定となることを前提として説明した。しかしながらこれに限らず、位相比較器 7 の特性によって、あるいは PLL 回路の動作点のオフセットを作為的に加えた場合などには、最終的な同期位相関係は、ずれることも有り得る。このようなずれは設計的に決まる事柄であり、エッジを検出する位置を操作して最終的な同期位置に設定することで、同様の効果を得ることができる。

【0115】また上記各実施の形態にて得られる効果は、ITU 勧告 G. 813 を満たすのみならず、一般の伝送装置や交換機などの位相変動特性として望ましい特性であるといえる。

【0116】また上記第 4 の実施形態では、タンク回路 92 を設けることにより基準クロックの消失を避けるようにしていたが、要求されるスペックのレベルによってはタンク回路 92 を設けない構成もあり得る。特に、位相検出部 300 またはループフィルタ 100 を EX-OR（排他的論理和）回路を用いて構成する場合には、ループフィルタ 100 の特性を適宜調整することにより、基準クロックが消失しても出力の離調を避けることが可能となる。

【0117】その他、入力される基準クロックの数、正論理、負論理の違い、位相収束のタイミングの設定など、本発明の要旨を逸脱しない範囲で種々の変形実施を行うことができる。

【0118】

【発明の効果】以上詳述したように本発明は、切替制御手段を設け、出力クロックの位相を一時的に保持し、その間に出力クロックの基準クロックへの位相追従にかかる時定数を大きくしたうえで基準クロックの切替を行い、これに続く再同期過程では、切替後の基準クロックの位相に出力クロックの位相が近くなったタイミングで上記時定数を元に戻すようにしたので、位相応答特性を犠牲にすることなく、かつ時間間隔に対する位相変動量を抑制することを可能としたクロック切替装置を提供することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係わるクロック切替装置の構成を示す回路ブロック図。

【図2】 本発明の第1の実施形態に係わるクロック切替装置の動作を示すタイムチャート。

【図3】 本発明の第1の実施形態に係わるクロック切替装置の、クロック切替過程におけるクロック出力信号24の位相変化の様子を原理的に示した図。

【図4】 本発明の第1の実施形態に係わるクロック切替装置の動作特性の実験結果を、時間と相対位相との関係において示した図。

【図5】 本発明の第1の実施形態に係わるクロック切替装置のMR T I E特性の実験結果を示した図。

【図6】 本発明の第2の実施形態に係わるクロック切替装置の構成を示す回路ブロック図。

【図7】 本発明の第2の実施形態に係わる各信号の関係を示す第1のタイムチャート。

【図8】 本発明の第2の実施形態に係わる各信号の関係を示す第2のタイムチャート。

【図9】 本発明の第2の実施形態に係わる各信号の関係を示す第3のタイムチャート。

【図10】 本発明の第2の実施形態に係わるクロック切替装置の、クロック切替過程におけるクロック出力信号24の位相変化の様子を原理的に示した図。

【図11】 本発明の第2の実施形態に係わるクロック切替装置の、位相検出部300の変形例を示す回路図。

【図12】 本発明の第2の実施形態に係わるクロック切替装置の、位相検出部300の変形例に係わる各信号の関係を示すタイムチャート。

【図13】 本発明の第2の実施形態に係わるクロック切替装置の動作特性の実験結果を、時間と相対位相との関係において示した図。

【図14】 本発明の第2の実施形態に係わるクロック切替装置のMR T I E特性の実験結果を示した図。

【図15】 本発明の第3の実施形態に係わるクロック

切替装置の構成を示す回路ブロック図。

【図16】 ホールドオーバー回路16の構成例を示すブロック図。

【図17】 本発明の第3の実施形態に係わるクロック切替装置の、クロック切替過程におけるクロック出力信号24の位相変化の様子を、本発明の第1の実施形態に係わるクロック切替装置との比較において示した図。

【図18】 本発明の第4の実施形態に係わるクロック切替装置の構成を示す回路ブロック図。

【図19】 本発明の第4の実施形態に係わるクロック切替装置における作用の過程を時間軸上で示す図。

【図20】 I T U-T勧告G. 813におけるFIGURE 12およびFIGURE 13を紹介した図。

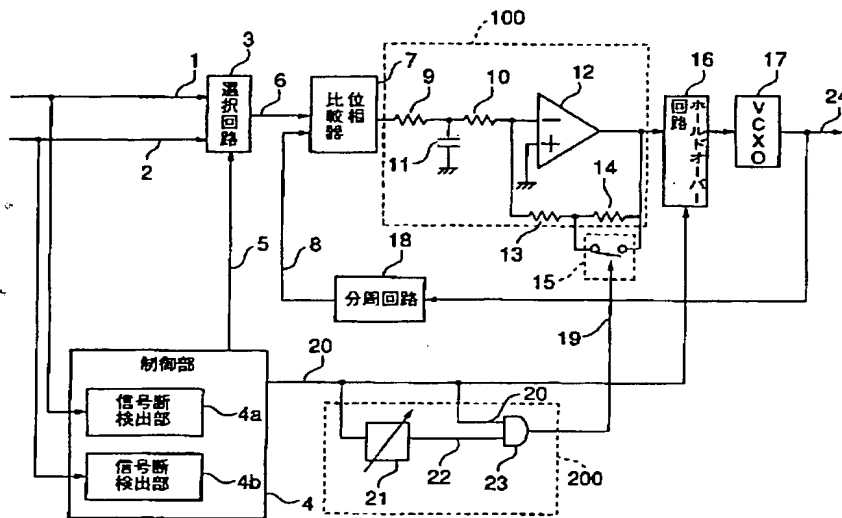
【符号の説明】

- 1…主系統の基準クロック
- 2…副系統の基準クロック
- 3…選択回路
- 4…制御部
- 4a…主系統の基準クロックの信号断検出部
- 4b…副系統の基準クロックの信号断検出部
- 5…クロック選択制御信号
- 6…基準クロック
- 7…位相比較器
- 8…位相比較用信号
- 9, 10…抵抗器
- 11…コンデンサ
- 12…演算増幅器（オペアンプ）
- 13, 14…オペアンプ帰還抵抗器
- 15…オン／オフスイッチ
- 16…ホールドオーバー回路
- 161…アナログ／ディジタル（A/D）変換器
- 162…ラッチ回路
- 163…ディジタル／アナログ（D/A）変換器
- 17…電圧制御発振器（VCXO）
- 18…分周回路
- 19…利得切替信号
- 20…ホールドオーバー制御信号
- 21…信号遅延回路
- 22…遅延信号
- 23…AND回路
- 24…クロック出力信号
- 41, 42…クロック検出信号
- 100…ループフィルタ
- 200…遅延部
- 60…インバータ
- 61…インバータ60の出力
- 62, 64…遅延素子
- 63…遅延素子62の出力
- 65…遅延素子64の出力
- 66…AND回路

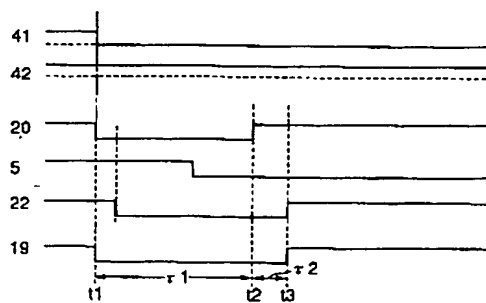
67...AND回路66の出力
 68, 69...Dフリップフロップ(D-FF)
 70...D-FF68のQ/出力(Q反転出力)
 71...D-FF69のQ/出力(Q反転出力)
 72...NAND回路
 73...NAND回路72の出力
 74...RSフリップフロップ(RS-FF)
 I1~I6...インバータ
 A1、A2...AND回路

NA1、NA2...NAND回路
 80~82...Dフリップフロップ(D-FF)
 D63...信号63を遅延した信号
 NOT63...信号63を反転した信号
 300、300'...位相検出部
 100'...PLL回路
 91...AND回路
 92...タンク回路
 6'...タンク回路92を介した基準クロック

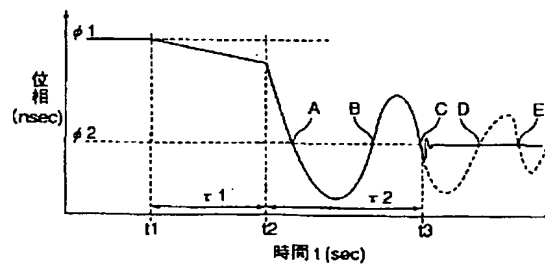
【図1】



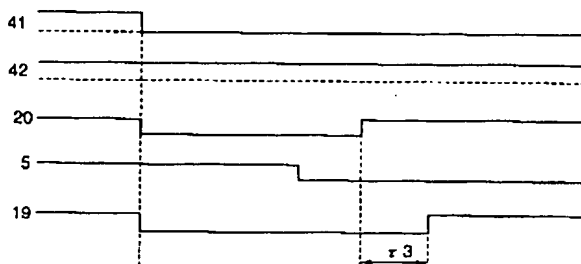
【図2】



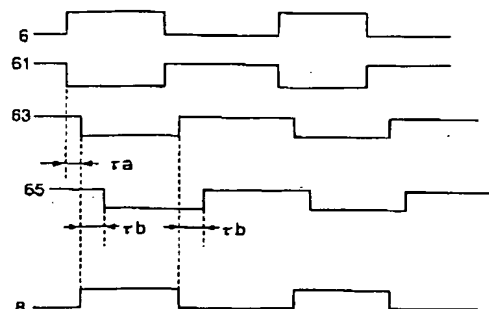
【図3】



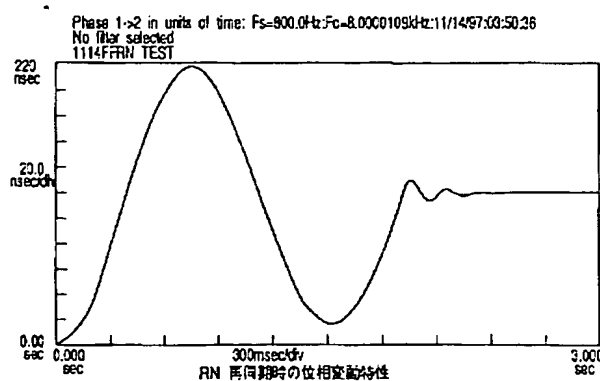
【図7】



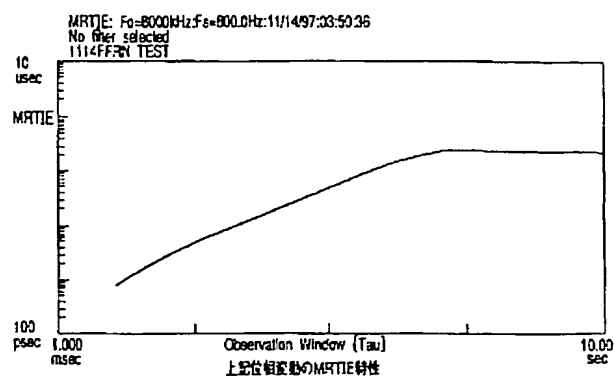
【図8】



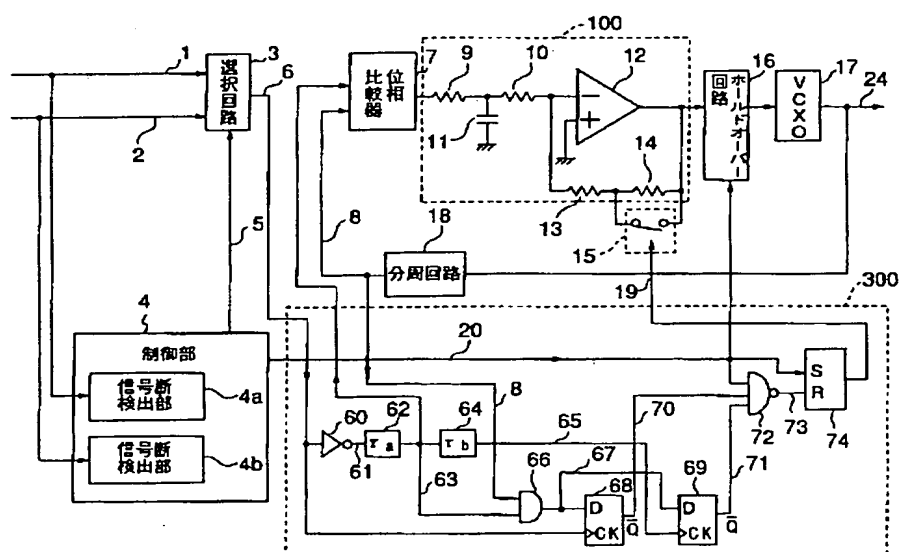
【図4】



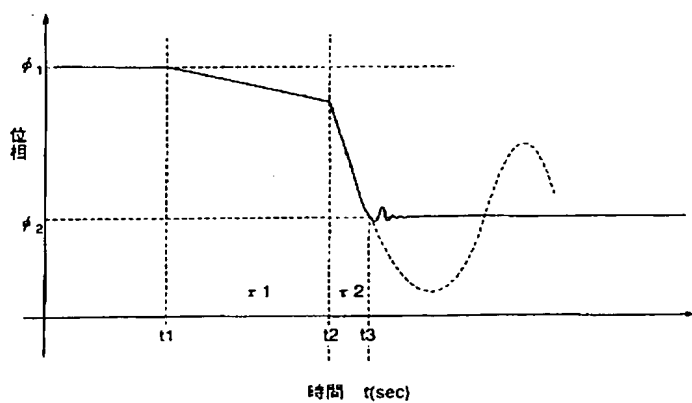
【図5】



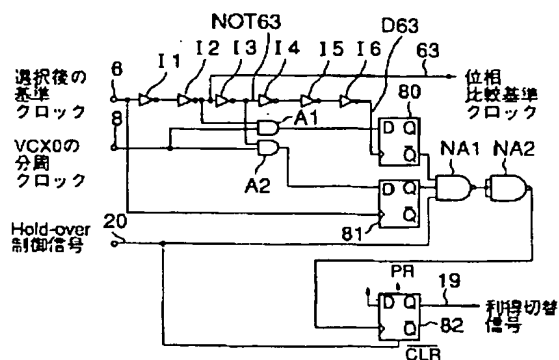
【図6】



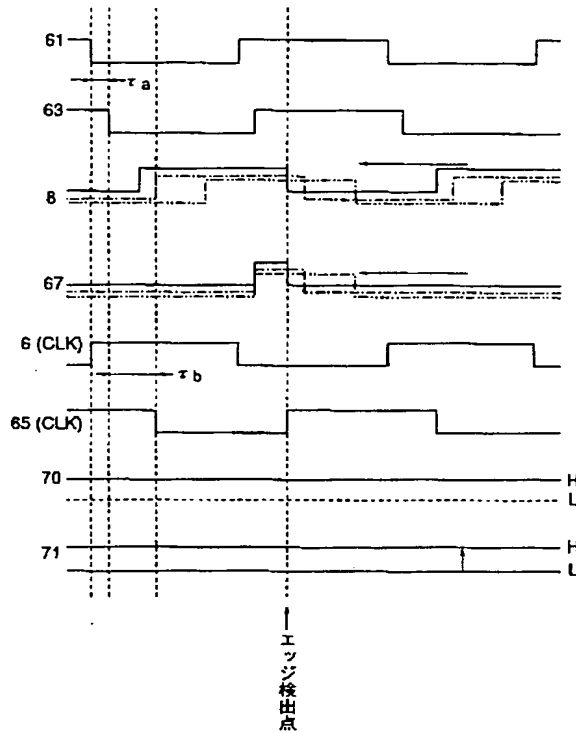
【図10】



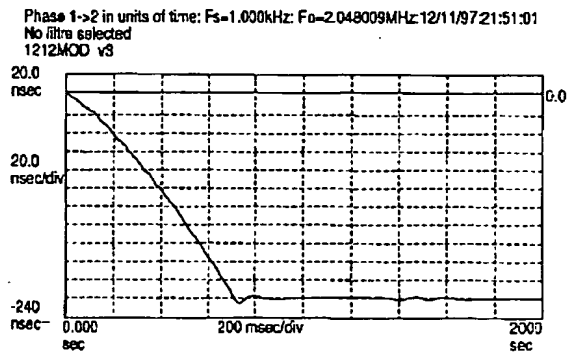
【図11】



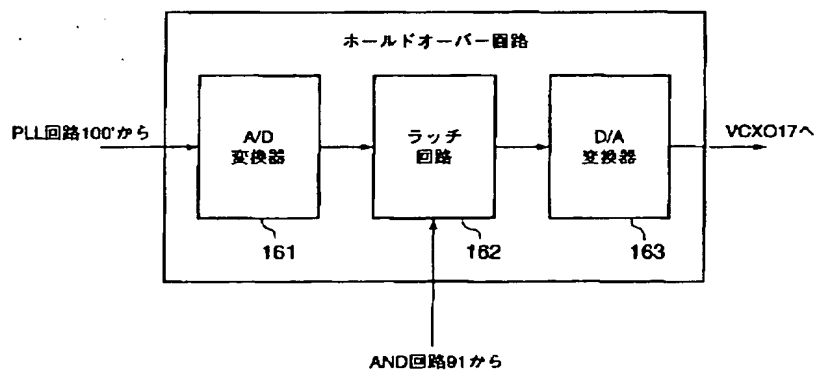
【図9】



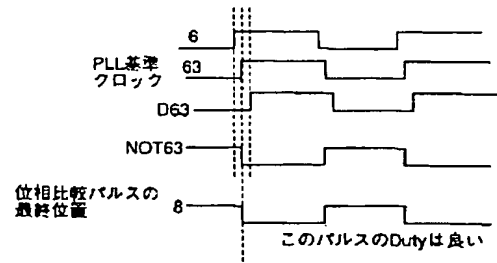
【図13】



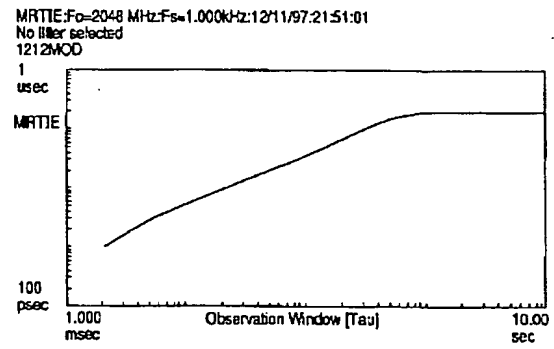
【図16】



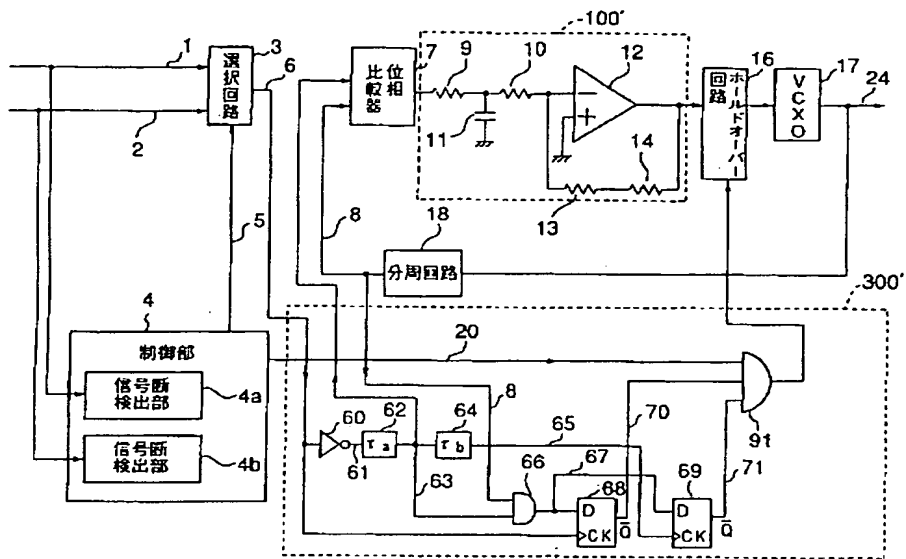
【図12】



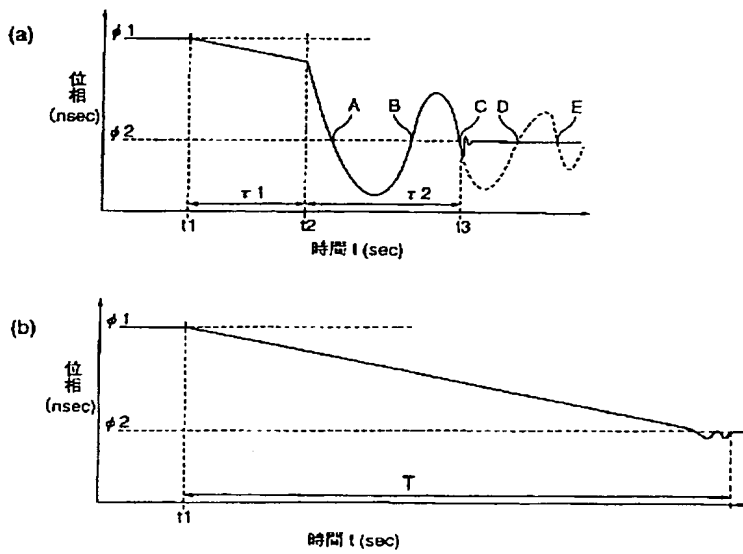
【図14】



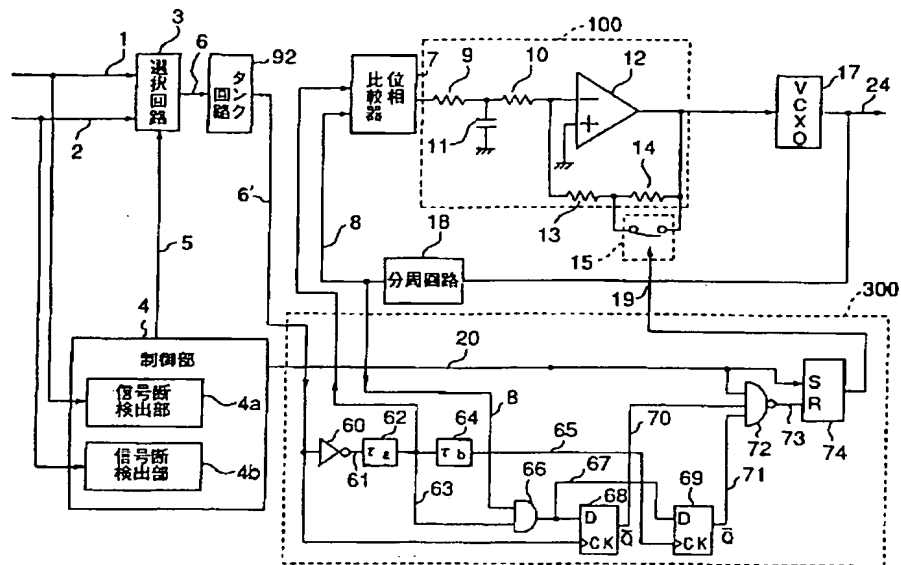
【图 15】



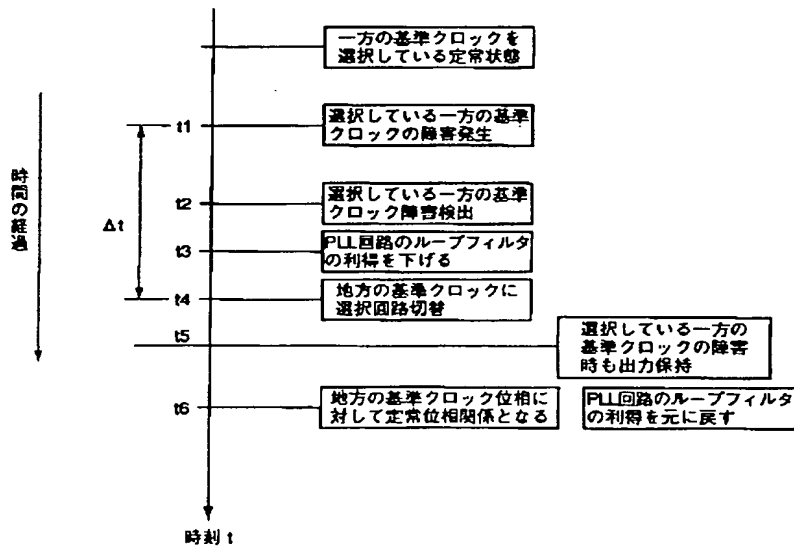
【図 17】



【図18】



【図19】



【図 2 0】

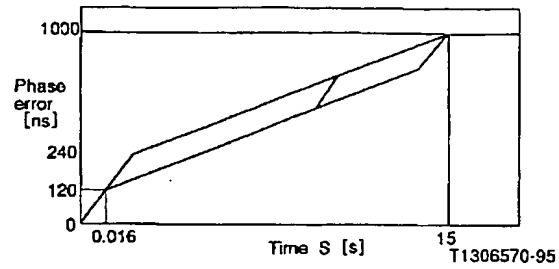


FIGURE 12/G.813

Maximum phase transient at the output due to reference switching for Option 1
(a)

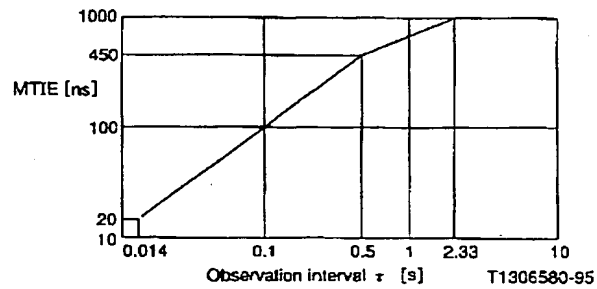


FIGURE 13/G.813

MTIE at the output due to reference switching for Option 2
(b)